



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년09월22일  
 (11) 등록번호 10-0918378  
 (24) 등록일자 2009년09월15일

(51) Int. Cl.

H03K 23/00 (2006.01)

- (21) 출원번호 10-2007-0098828
- (22) 출원일자 2007년10월01일  
심사청구일자 2007년10월01일
- (65) 공개번호 10-2009-0033674
- (43) 공개일자 2009년04월06일
- (56) 선행기술조사문헌  
KR100667188 B1\*  
US5473556 A  
KR100668674 B1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국전자통신연구원  
 대전 유성구 가정동 161번지  
**경북대학교 산학협력단**  
 대구광역시 북구 산격동 1370 경북대학교내

(72) 발명자

**옥승호**  
 부산 서구 남부민3동 267-1 4/2 영광맨션 201호  
**문병인**  
 서울 은평구 응암1동 96-28 경향렉스빌 601호  
 (뒷면에 계속)

(74) 대리인

**권혁수, 송윤호, 오세준**

전체 청구항 수 : 총 12 항

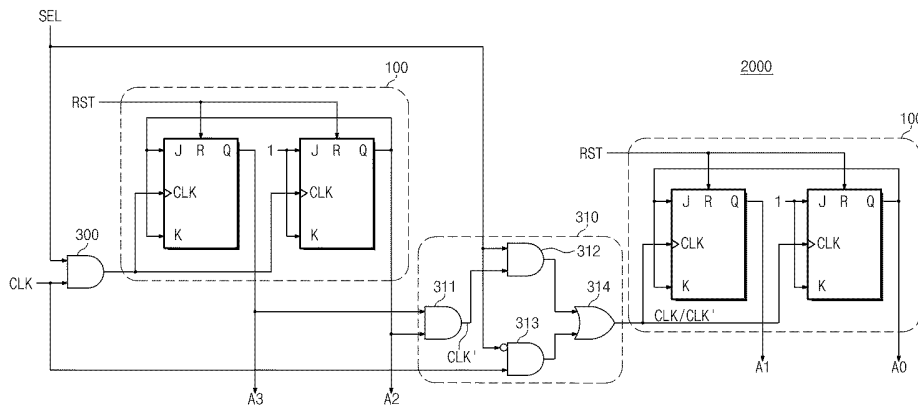
심사관 : 장완호

**(54) 고정길이 및 가변길이 래디스-4 고속 푸리에 변환을 위한 디지털 반전장치**

**(57) 요약**

본 발명의 디지털 반전 장치는, 제 1 클럭 신호에 응답해서 상위 2 비트 어드레스를 발생하는 제 1 카운터 모듈, 선택 신호에 응답해서 상기 제 1 클럭 신호를 상기 제 1 카운터 모듈로 선택적으로 출력하는 제 1 클럭 선택기, 상기 상위 2 비트 어드레스를 논리 조합하여 제 2 클럭 신호를 발생하고 상기 선택 신호에 응답해서 상기 제 2 클럭 신호와 상기 제 1 클럭 신호 중 어느 하나를 출력하는 제 2 클럭 선택기, 그리고 상기 제 2 클럭 선택기의 출력에 응답해서 하위 2 비트 어드레스를 발생하는 제 2 카운터 모듈을 포함한다.

**대표도**



(72) 발명자

**김창선**

서울 강동구 길동 산1-1 삼익파크아파트 505동 40  
6호

**차진중**

경기 성남시 분당구 야탑동 511 탑마을 305-902

**윤병진**

경기 부천시 원미구 중2동 연화마을아파트 1416동  
1201호

**특허청구의 범위**

**청구항 1**

제 1 클럭 신호에 응답해서 상위 2 비트 어드레스를 발생하는 제 1 카운터 모듈;  
 선택 신호에 응답해서 상기 제 1 클럭 신호를 상기 제 1 카운터 모듈로 선택적으로 출력하는 제 1 클럭 선택기;  
 상기 상위 2 비트 어드레스를 논리 조합하여 제 2 클럭 신호를 발생하고, 상기 선택 신호에 응답해서 상기 제 2 클럭 신호와 상기 제 1 클럭 신호 중 어느 하나를 출력하는 제 2 클럭 선택기; 그리고  
 상기 제 2 클럭 선택기의 출력에 응답해서 하위 2 비트 어드레스를 발생하는 제 2 카운터 모듈을 포함하고,  
 상기 제 1 및 제 2 카운터 모듈은, 2 비트 카운터 모듈인 것을 특징으로 하는 디지털 반전 장치.

**청구항 2**

제 1 항에 있어서,  
 상기 어드레스들은 가변길이 래디스-4 고속 퓨리에 변환을 위한 디지털 반전 결과인 것을 특징으로 하는 디지털 반전 장치.

**청구항 3**

제 1 항에 있어서,  
 상기 제 1 및 제 2 카운터 모듈 각각은, 각각이 1 비트의 어드레스를 발생하는 2 개의 J-K 플립플롭들을 포함하는 것을 특징으로 하는 디지털 반전 장치.

**청구항 4**

삭제

**청구항 5**

제 1 항에 있어서,  
 상기 제 1 클럭 선택기는 상기 선택 신호와 상기 제 1 클럭 신호의 논리 곱 결과를 출력하는 것을 특징으로 하는 디지털 반전 장치.

**청구항 6**

제 1 항에 있어서,  
 상기 제 2 클럭 선택기는 상기 상위 2 디지털의 출력 어드레스를 논리 곱하여 상기 제 2 클럭 신호를 발생하는 제 1 논리 게이트;  
 상기 제 2 클럭 신호와 상기 선택신호를 논리 곱하는 제 2 논리 게이트;  
 상기 제 1 클럭 신호와 반전된 상기 선택신호를 논리 곱하는 제 3 논리 게이트; 그리고  
 상기 제 2 논리 게이트와 상기 제 3 논리 게이트의 출력을 논리 합하는 제 4 논리 게이트를 포함하는 것을 특징으로 하는 디지털 반전 장치.

**청구항 7**

제 1 항에 있어서,  
 상기 제 2 클럭 선택기는 상기 선택 신호에 응답해서 상기 제 1 클럭 신호와 상기 제 2 클럭 신호 중 어느 하나를 선택하는 2-입력 선택기인 것을 특징으로 하는 디지털 반전 장치.

**청구항 8**

제 1 항에 있어서,

고속 푸리에 변환의 가변길이가 N일 때(N은 양의 정수) 상기 제 1 클럭 선택기와 상기 제 2 클럭 선택기의 개수의 합은  $\log_4 N$ 개인 것을 특징으로 하는 디지털 반전 장치.

**청구항 9**

제 1 클럭 신호에 응답해서 상위 2 비트 어드레스를 발생하는 제 1 카운터 모듈;

상기 상위 2 비트 어드레스에 응답해서 제 2 클럭 신호를 발생하는 클럭 발생기; 그리고

상기 제 2 클럭 신호의 출력에 응답해서 하위 2 비트 어드레스를 발생하는 제 2 카운터 모듈을 포함하는 것을 특징으로 하는 디지털 반전 장치.

**청구항 10**

제 9 항에 있어서,

상기 어드레스들은 고정길이 래디스-4 고속 푸리에 변환을 위한 디지털 반전 결과인 것을 특징으로 하는 디지털 반전 장치.

**청구항 11**

제 9 항에 있어서,

상기 제 1 및 제 2 카운터 모듈 각각은, 각각이 1 비트의 어드레스를 발생하는 2 개의 J-K 플립플롭들을 포함하는 것을 특징으로 하는 디지털 반전 장치.

**청구항 12**

제 9 항에 있어서,

상기 제 1 및 제 2 카운터 모듈은, 2 비트 카운터 모듈인 것을 특징으로 하는 디지털 반전 장치.

**청구항 13**

제 9 항에 있어서,

상기 클럭 발생기는 상기 상위 2 디지털의 출력 어드레스의 논리 곱 결과를 상기 제 2 클럭 신호로서 발생하는 것을 특징으로 하는 디지털 반전 장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 고속 푸리에 변환 장치에 관한 것으로, 좀 더 구체적으로는 고정길이 및 가변길이 래디스-4 고속 푸리에 변환을 위한 디지털 반전장치에 관한 것이다.

**배경기술**

<2> 고속 푸리에 변환(Fast Fourier Transform, 이하 FFT라 칭함)은 이산 푸리에 변환(Discrete Fourier Transform ; DFT)을 고속으로 연산하기 위한 알고리즘으로, 이산 푸리에 변환(DFT)의 수식은 [수학적 1]과 같이 정의된다.

수학식 1

$$X[k] = \sum_{n=0}^{N-1} x[n]W_N^{nk}, \quad k = 0, 1, \dots, N - 1$$

$$W_N = e^{-2\pi j/N}$$

<3>

<4> 여기서,  $X[k]$ 는 푸리에 변환의 결과이고,  $x[n]$ 은 푸리에 변환의 입력 데이터 열을 나타낸다.  $W_N$ 은 트위들 팩터(twiddle factor)로서, 복소수 형태를 갖는다.

<5> FPGA(field-programmable gate array) 또는 ASIC(application specific integrated circuit)으로 구현된 대부분의 FFT 장치에서는, 요구되는 메모리를 줄이기 위해 버터플라이 유닛의 각 스테이지의 입력 및 출력 데이터가 메모리의 동일 위치를 공유하는 인-플레이스(in-place) 연산이 적용된다. 이 경우, FFT의 입력 또는 출력 데이터 시퀀스는 스크램블된다.

<6> 도 1은 주파수 축을 알고리즘(decimation-in-frequency algorithm)을 사용하는 고정길이(length of 16) 래디스-4(radix-4) FFT의 데이터 플로우를 보여주는 도면이다. [표 1]에는 고정길이(length of 16) 래디스-4 FFT의 입력 및 출력 데이터 시퀀스가 표시되어 있다. 도 1에 도시된 FFT 루틴은 그 형태가 나비 같은 모양이라서 통상 버터플라이라고 불린다.

표 1

x[n]	Input sequences				X[n]	Output sequences			
0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	4	0	1	0	0
2	0	0	1	0	8	1	0	0	0
3	0	0	1	1	12	1	1	0	0
4	0	1	0	0	1	0	0	0	1
5	0	1	0	1	5	0	1	0	1
6	0	1	1	0	9	1	0	0	1
7	0	1	1	1	13	1	1	0	1
8	1	0	0	0	2	0	0	1	0
9	1	0	0	1	6	0	1	1	0
10	1	0	1	0	10	1	0	1	0
11	1	0	1	1	14	1	1	1	0
12	1	1	0	0	3	0	0	1	1
13	1	1	0	1	7	0	1	1	1
14	1	1	1	0	11	1	0	1	1
15	1	1	1	1	15	1	1	1	1

<7>

<8> 도 1 및 [표 1]을 참조하면, 인-플레이스 연산을 사용하는 FFT의 경우, 스크램블된 데이터 시퀀스들의 순서가 연속적이지 않음을 알 수 있다. [표 1]에 표시된 데이터 시퀀스들의 형태는, FFT의 길이 및 래디스에 따라서 메모리 어드레스의 2진 값의 비트(bits) 또는 디지털(digits)을 반전(reverse)함에 의해서 발생할 수 있다. 이러한 과정을 비트 반전 또는 디지털 반전이라 한다. 일반적으로, 래디스-2 FFT에서는 비트 반전이 사용되고, 래디스-4 FFT에서는 디지털 반전이 사용된다. 특히, 이러한 비트 반전 또는 디지털 반전 과정은 최소한의 하드웨어 구성을 가지고 짧은 시간 내에 비트 반전 또는 디지털 반전 연산을 수행하는 것이 매우 중요하다.

<9> 래디스-4 FFT에서 FFT의 길이 및 래디스가 고정되어 있는 경우, 룩업 테이블을 이용한 디지털 반전 동작이 주로 수행되어 왔다. 이러한 방식은 ROM에 구성되어 있는 테이블을 이용하여 디지털 반전 시퀀스를 손쉽게 구할 수 있었다. 그러나, 이 방식은 메모리의 사이즈가 FFT의 길이 및 래디스에 직접적으로 관련되어 있기 때문에, FFT의 길이 및 래디스가 증가할수록 메모리의 사이즈의 증가 문제가 중요한 문제로서 대두되고 있다.

<10> 디지털 반전을 수행하는 다른 방법으로서, 디지털 반전 장치 같은 특정 회로를 이용하는 방식이 사용되고 있다.

일반적으로, 디지털 반전 장치는 이진 카운터(binary counter)의 출력으로부터 디지털을 라우팅하는 방식으로 디지털 반전 시퀀스를 생성한다. 이 방식은 록업 테이블과 같은 별도의 메모리를 사용하지 않는 장점이 있으나, FFT의 길이 및 래디스에 따라서 이진 카운터의 출력을 라우팅하기 위한 별도의 회로 구성, 예컨대 복수 개의 멀티플렉서 등을 반드시 구비하여야 하는 시스템상의 제약이 있다. 뿐만 아니라, 이러한 방식에서는 FFT의 길이가 다양해질수록 디지털 반전에 사용되는 멀티플렉서의 구조가 복잡해지는 문제점이 있다. 따라서, 하드웨어의 면적이 증가될 뿐만 아니라 복잡한 멀티플렉서의 구조 때문에 출력이 지연되는 문제가 발생하게 된다.

**발명의 내용**

**해결 하고자하는 과제**

- <11> 종래의 FFT 장치에서는 FFT 장치가 지원하는 FFT의 사이즈가 증가할수록 디지털 반전을 수행하기 위한 선택기의 구조가 복잡해 지는 문제점이 있고, 출력이 지연되는 문제점이 있다. 이러한 문제점은 하드웨어의 구현 및 확장을 어렵게 하는 요인이 된다.
- <12> 따라서, 본 발명의 목적은 상술한 제반 문제점을 해결하기 위해 제안된 것으로, 가변길이 FFT 장치에서 지원하는 FFT 사이즈가 증가하더라도 이에 상관없이 간단한 하드웨어 구성을 가지고 고속의 데이터 반전을 수행할 수 있는 디지털 반전장치를 제공하는 데 있다.
- <13> 본 발명의 다른 목적은 하드웨어의 구현 및 확장이 용이한 새로운 구조의 디지털 반전장치를 제공하는 데 있다.

**과제 해결수단**

- <14> 상기의 과제를 이루기 위하여 본 발명에 의한 디지털 반전 장치는, 제 1 클럭 신호에 응답해서 상위 2 비트 어드레스를 발생하는 제 1 카운터 모듈; 선택 신호에 응답해서 상기 제 1 클럭 신호를 상기 제 1 카운터 모듈로 선택적으로 출력하는 제 1 클럭 선택기; 상기 상위 2 비트 어드레스를 논리 조합하여 제 2 클럭 신호를 발생하고, 상기 선택 신호에 응답해서 상기 제 2 클럭 신호와 상기 제 1 클럭 신호 중 어느 하나를 출력하는 제 2 클럭 선택기; 그리고 상기 제 2 클럭 선택기의 출력에 응답해서 하위 2 비트 어드레스를 발생하는 제 2 카운터 모듈을 포함하는 것을 특징으로 한다.
- <15> 이 실시예에 있어서, 상기 어드레스들은 가변길이 래디스-4 고속 푸리에 변환을 위한 디지털 반전 결과인 것을 특징으로 한다.
- <16> 이 실시예에 있어서, 상기 제 1 및 제 2 카운터 모듈 각각은, 각각이 1 비트의 어드레스를 발생하는 2 개의 J-K 플립플롭들을 포함하는 것을 특징으로 한다.
- <17> 이 실시예에 있어서, 상기 제 1 및 제 2 카운터 모듈은, 2 비트 카운터 모듈인 것을 특징으로 한다.
- <18> 이 실시예에 있어서, 상기 제 1 클럭 선택기는 상기 선택 신호와 상기 제 1 클럭 신호의 논리 곱 결과를 출력하는 것을 특징으로 한다.
- <19> 이 실시예에 있어서, 상기 제 2 클럭 선택기는 상기 상위 2 디지털의 출력 어드레스를 논리 곱하여 상기 제 2 클럭 신호를 발생하는 제 1 논리 게이트; 상기 제 2 클럭 신호와 상기 선택신호를 논리 곱하는 제 2 논리 게이트; 상기 제 1 클럭 신호와 반전된 상기 선택신호를 논리 곱하는 제 3 논리 게이트; 그리고 상기 제 2 논리 게이트와 상기 제 3 논리 게이트의 출력을 논리 합하는 제 4 논리 게이트를 포함하는 것을 특징으로 한다.
- <20> 이 실시예에 있어서, 상기 제 2 클럭 선택기는 상기 선택 신호에 응답해서 상기 제 1 클럭 신호와 상기 제 2 클럭 신호 중 어느 하나를 선택하는 2-입력 선택기인 것을 특징으로 한다.
- <21> 이 실시예에 있어서, 고속 푸리에 변환의 가변길이가 N일 때(N은 양의 정수) 상기 제 1 클럭 선택기와 상기 제 2 클럭 선택기의 개수의 합은  $\log_4 N$ 개인 것을 특징으로 한다.
- <22> 상기의 과제를 이루기 위하여 본 발명에 의한 디지털 반전 장치는, 제 1 클럭 신호에 응답해서 상위 2 비트 어드레스를 발생하는 제 1 카운터 모듈; 상기 상위 2 비트 어드레스에 응답해서 제 2 클럭 신호를 발생하는 클럭 발생기; 그리고 상기 제 2 클럭 신호의 출력에 응답해서 하위 2 비트 어드레스를 발생하는 제 2 카운터 모듈을 포함하는 것을 특징으로 한다.
- <23> 이 실시예에 있어서, 상기 어드레스들은 고정길이 래디스-4 고속 푸리에 변환을 위한 디지털 반전 결과인 것을

특징으로 한다.

- <24> 이 실시예에 있어서, 상기 제 1 및 제 2 카운터 모듈 각각은, 각각이 1 비트의 어드레스를 발생하는 2 개의 J-K 플립플롭들을 포함하는 것을 특징으로 한다.
- <25> 이 실시예에 있어서, 상기 제 1 및 제 2 카운터 모듈은, 2 비트 카운터 모듈인 것을 특징으로 한다.
- <26> 이 실시예에 있어서, 상기 클럭 발생기는 상기 상위 2 디지털의 출력 어드레스의 논리 곱 결과를 상기 제 2 클럭 신호로서 발생하는 것을 특징으로 한다.

**효 과**

- <27> 이상과 같은 본 발명에 의하면, FFT의 가변길이가 N일 때 단지  $\log_2 N$ 개의 2-입력 선택기만을 이용하여 고정 길이 및 가변길이 래디스-4 FFT 연산을 모두 수행할 수 있게 된다. 따라서, 디지털 반전속도 및 하드웨어의 면적이 최소화된다.
- <28> 뿐만 아니라, 본 발명의 디지털 반전 장치는 모듈기반 구조를 가지기 때문에 디지털 반전장치의 구현 및 확장이 용이해 진다.

**발명의 실시를 위한 구체적인 내용**

- <29> 이하 본 발명에 따른 실시예를 첨부된 도면을 참조하여 상세히 설명한다.
- <30> 본 발명의 신규한 디지털 반전 장치는 2 진 카운터를 기본으로 하는 모듈기반 구조를 가지기 때문에 디지털 반전장치의 구현 및 확장이 용이한 특징을 가진다. 또한, 본 발명에 따른 디지털 반전 장치는 2-입력  $\log_2 N$ 개의 선택기만으로 구현이 가능하기 때문에 디지털 반전에 걸리는 지연 문제를 최소화할 수 있으며, 적은 하드웨어 면적으로 고정 길이 및 가변길이 래디스-4 FFT를 위한 디지털 동작을 모두 지원할 수 있다. 이상과 같은 본 발명의 디지털 반전 장치의 상세 구성을 살펴보면 다음과 같다.
- <31> 도 2는 본 발명의 실시예에 따른 카운터 모듈(100)의 구성을 보여주는 도면이다.
- <32> 도 2를 참조하면, 본 발명의 카운터 모듈(100)은 두 개의 JK 플립플롭으로 구성된 2-비트 카운터모듈(two-bit counter module ; TCM)로 구성된다. 본 발명의 카운터 모듈(100)에서 출력되는 어드레스는 [표 2]와 같다. 카운터 모듈(100)은 외부로부터 인가되는 리셋 신호(RST)에 응답해서 초기화되며, 초기화된 어드레스는 0의 값을 갖는다.

**표 2**

Address	A1	A0
0	0	0
1	0	1
2	1	0
3	1	1

- <33>
- <34> 도 2에 도시된 카운터 모듈(100)은 본 발명의 디지털 반전장치(1000-3000)를 구성하는 단위 소자로서, 디지털 반전 장치(1000-3000)의 구현 및 확장을 용이하게 하는 모듈기반 구조를 가진다. 아래에서 상세히 설명되겠지만, 본 발명에 따른 카운터 모듈(100) 및 디지털 반전 장치(1000-3000)는 래디스-4 FFT를 지원하며, 상기 래디스-4 FFT 연산은 고정길이 및 가변길이 래디스-4 FFT 연산을 모두 포함한다. 본 발명의 카운터 모듈(100)을 이용한 디지털 반전 장치(1000-3000)의 구성을 살펴보면 다음과 같다.
- <35> 도 3은 본 발명의 제 1 실시예에 따른 디지털 반전 장치(1000)의 구성을 보여주는 도면이다. 도 3에는 고정 길이 16의 래디스-4 FFT를 위한 디지털 반전 장치(1000)의 구성이 도시되어 있다.
- <36> 도 3을 참조하면, 본 발명의 디지털 반전 장치(1000)는 상위 2 디지털의 출력 어드레스(A2, A3)를 발생하는 제 1 카운터 모듈과, 하위 2 디지털의 출력 어드레스(A0, A1)를 발생하는 제 2 카운터 모듈, 그리고 제 1 및 제 2 카운터 모듈 사이에 연결된 클럭발생기(200)로 구성된다. 여기서, 제 1 및 제 2 카운터 모듈의 구성은 도 2에 도시된 카운터 모듈(100)의 구성과 동일하다. 따라서, 제 1 및 제 2 카운터 모듈에는 모두 도 2에 도시된 카운

터 모듈(100)과 동일한 참조번호가 부가되었다.

<37> 제 1 카운터 모듈은 입력되는 제 1 클럭 신호(CLK)에 응답해서 상위 2 디지털의 출력 어드레스(A2, A3)를 발생한다. 클럭발생기(200)는 제 1 카운터 모듈로부터 발생된 상위 2 디지털의 출력 어드레스(A2, A3)에 대해 논리 AND 연산을 수행하여 제 2 클럭 신호(CLK')를 발생한다. 제 2 카운터 모듈은 클럭발생기(200)로부터 발생된 제 2 클럭 신호(CLK')에 응답해서 하위 2 디지털의 출력 어드레스(A0, A1)를 발생한다. 본 발명의 디지털 반전 장치(1000)에서 출력되는 어드레스는 [표 3]과 같으며, 어드레스 초기 값은 0으로 설정된다.

표 3

Address	A3	A2	A1	A0
0	0	0	0	0
4	0	1	0	0
8	1	0	0	0
12	1	1	0	0
1	0	0	0	1
5	0	1	0	1
9	1	0	0	1
13	1	1	0	1
2	0	0	1	0
6	0	1	1	0
10	1	0	1	0
14	1	1	1	0
3	0	0	1	1
7	0	1	1	1
11	1	0	1	1
15	1	1	1	1

<38> [표 3]에서 알 수 있는 바와 같이, 본 발명에 따른 디지털 반전 장치(1000)는 도 3과 같이 간단한 회로 구성을 가지고도 [표 1]과 같은 출력 시퀀스에 해당되는 출력 어드레스를 발생할 수 있게 된다. 본 발명에 따른 디지털 반전 장치(1000)는 룩업 테이블 등을 저장하기 위한 별도의 메모리를 필요로 하지 않을 뿐만 아니라, 복잡한 구조의 멀티플렉서가 필요치 않는 단순한 구성을 갖는다. 도 3에 도시된 따른 디지털 반전 장치(1000)는 고정 길이 16의 래디스-4 FFT를 위한 디지털 반전 장치를 예로 든 것으로, 클럭 신호를 발생하는 일부 구성만 변형하면 다음과 같이 가변길이 래디스-4 FFT에도 적용될 수 있다.

<39> 도 4는 본 발명의 제 2 실시예에 따른 디지털 반전 장치(2000)의 구성을 보여주는 도면이다. 도 4에는 가변 길이(4 또는 16) 래디스-4 FFT를 위한 디지털 반전 장치(2000)의 구성이 도시되어 있다. 디지털 반전 장치(2000)는 외부로부터 인가되는 선택신호(SEL)에 응답해서 길이 4의 래디스-4 FFT를 위한 디지털 반전 장치로서 사용될 수 있고(예를 들면, SEL이 0일 때), 또는 길이 16의 래디스-4 FFT를 위한 디지털 반전 장치로서 가변적으로 사용될 수 있다(예를 들면, SEL이 1일 때).

<40> 도 4를 참조하면, 본 발명의 디지털 반전 장치(2000)는 상위 2 디지털의 출력 어드레스(A2, A3)를 발생하는 제 1 카운터 모듈과, 하위 2 디지털의 출력 어드레스(A0, A1)를 발생하는 제 2 카운터 모듈, 제 1 카운터 모듈로 클럭신호를 제공하는 제 1 클럭선택기(300), 그리고 제 2 카운터 모듈로 클럭신호를 제공하는 제 2 클럭선택기(310)로 구성된다. 여기서, 제 1 및 제 2 카운터 모듈의 구성은 도 2에 도시된 카운터 모듈(100)의 구성과 동일하다. 따라서, 제 1 및 제 2 카운터 모듈에는 모두 도 2에 도시된 카운터 모듈(100)과 동일한 참조번호가 부가되었다.

<41> 제 1 클럭선택기(300)는 논리 AND 게이트로 구성되어, 선택신호(SEL)와 제 1 클럭 신호(CLK)에 대해 논리 AND 연산을 수행한다. 제 1 클럭선택기(300)의 논리 AND 연산 결과는 제 1 카운터 모듈의 클럭 입력 단자로 제공된다. 제 1 카운터 모듈은 제 1 클럭선택기(300)로부터 제공된 클럭 신호(CLK)에 응답해서 상위 2 디지털의 출력 어드레스(A2, A3)를 발생한다.



- <43> 예를 들어, 선택신호(SEL)가 0의 값을 가지는 경우(즉, 디지털 반전 장치(2000)가 길이 4의 래딕스-4 FFT를 위한 디지털 반전 장치로서 사용되는 경우), 제 1 클럭선택기(300)는 클럭 신호를 발생하지 않는다. 이 경우, 제 1 카운터 모듈은 동작하지 않게 되어, 상위 2 디지털의 출력 어드레스(A2, A3)는 0의 값을 가지게 된다. 반대로, 선택신호(SEL)가 1의 값을 가지는 경우(즉, 디지털 반전 장치(2000)가 길이 16의 래딕스-4 FFT를 위한 디지털 반전 장치로서 사용되는 경우), 1 카운터 모듈에는 제 1 클럭 신호(CLK)가 제공되어, 상위 2 디지털의 출력 어드레스(A2, A3)가 발생된다.
- <44> 제 2 클럭선택기(310)는 제 1 카운터 모듈로부터 발생된 상위 2 디지털의 출력 어드레스(A2, A3)를 논리 조합하여 제 2 클럭 신호(CLK')를 발생하고, 발생된 제 2 클럭 신호(CLK')와 제 1 클럭 신호(CLK) 중 어느 하나를 선택하여 출력하는 2-입력 클럭 선택기이다. 클럭의 선택을 위해 제 2 클럭선택기(310)에는 상위 2 디지털의 출력 어드레스(A2, A3)와 제 1 클럭 신호(CLK) 이외에 선택신호(SEL)가 더 입력된다. 클럭 신호의 선택은 선택신호(SEL)에 따라서 제어된다. 제 2 클럭선택기(310)의 구체적인 구성은 다음과 같다.
- <45> 2-입력 클럭 선택기로서 동작하는 제 2 클럭선택기(310)는 제 1 내지 제 4 논리 게이트(311-314)를 포함한다. 제 1 논리 게이트(311)는 제 1 카운터 모듈로부터 발생된 상위 2 디지털의 출력 어드레스(A2, A3)에 대한 논리 AND 연산(즉, 논리 곱 연산)을 수행하여 제 2 클럭 신호(CLK')를 발생한다. 제 2 논리 게이트(312)는 제 1 논리 게이트(311)의 논리 연산 결과로서 발생된 제 2 클럭 신호(CLK')와 선택신호(SEL)에 대한 논리 AND 연산을 수행한다. 제 3 논리 게이트(313)는 제 1 클럭 신호(CLK)와 반전된 선택신호(SEL)에 대한 논리 AND 연산을 수행한다. 그리고, 제 4 논리 게이트(314)는 제 2 논리 게이트(312)와 제 3 논리 게이트(313)의 출력에 대한 논리 OR 연산(즉, 논리 합 연산)을 수행한다. 이와 같은 제 1 내지 제 4 논리 게이트(311-314)들의 논리 연산에 따르면, 선택신호(SEL)의 값에 따라서(즉, 가변길이 정보에 따라 결정되는 디지털 반전 장치(2000)의 동작 모드에 따라서) 제 1 클럭 신호(CLK)와 제 2 클럭 신호(CLK')가 선택적으로 출력된다.
- <46> 제 2 클럭선택기(310)에 의해 출력되는 제 1 또는 제 2 클럭 신호(CLK/CLK')는 제 2 카운터 모듈의 클럭 입력 단자로 제공된다. 제 2 카운터 모듈은 제 2 클럭선택기(310)로부터 제공된 클럭 신호(CLK/CLK')에 응답해서 하위 2 디지털의 출력 어드레스(A0, A1)를 발생한다. 본 발명의 디지털 반전 장치(2000)에서 출력되는 어드레스는 [표 4]와 같으며, 어드레스 초기 값은 0으로 설정된다.

표 4

SEL	Address	A3	A2	A1	A0
0	0	0	0	0	0
	1	0	0	0	1
	2	0	0	1	0
	3	0	0	1	1
1	0	0	0	0	0
	4	0	1	0	0
	8	1	0	0	0
	12	1	1	0	0
	1	0	0	0	1
	5	0	1	0	1
	9	1	0	0	1
	13	1	1	0	1
	2	0	0	1	0
	6	0	1	1	0
	10	1	0	1	0
	14	1	1	1	0
	3	0	0	1	1
	7	0	1	1	1
	11	1	0	1	1
15	1	1	1	1	

- <47>
- <48> [표 4]에서 알 수 있는 바와 같이, 본 발명에 따른 디지털 반전 장치(2000)는 도 4와 같이 간단한 회로 구성을

가지고도 [표 1]과 같은 출력 시퀀스에 해당되는 출력 어드레스를 발생할 수 있게 된다. 본 발명에 따른 디지털 반전 장치(2000)는 룩업 테이블 등을 저장하기 위한 별도의 메모리를 필요로 하지 않을 뿐만 아니라, 복잡한 구조의 멀티플렉서도 필요치 않는다. 특히, 본 발명에 따른 디지털 반전 장치(2000)는 기존의 멀티플렉서와 같은 기능을 수행하는 회로 구성으로 제 2 클럭 선택기(310)가 구비되지만, 그 회로 구성 및 동작은 기존의 멀티플렉서에 비해 매우 간단하다. 따라서, FFT의 길이가 증가하더라도 칩의 사이즈 및 데이터 반전 속도가 증가하지 않게 된다. 이 외에도, 본 발명에 따른 디지털 반전 장치(2000)는 각각의 기능 블록이 모듈화된 구성을 갖는다. 따라서, 도 3에 도시된 디지털 반전 장치(2000)에 카운터 모듈(100)과 제 2 클럭 선택기(310)를 각각 1개씩 추가하면, 가변길이 64의 래디스-4 FFT를 위한 디지털 반전 동작을 수행할 수 있게 된다.

<49> 도 5는 본 발명의 제 3 실시예에 따른 디지털 반전 장치(3000)의 구성을 보여주는 도면이다. 도 5에는 가변 길이(4, 16, 또는 64) 래디스-4 FFT를 위한 디지털 반전 장치(3000)의 구성이 도시되어 있다.

<50> 도 5에 도시된 디지털 반전 장치(3000)는 카운터 모듈(100)과 제 2 클럭 선택기(310)가 각각 1개씩 더 추가된 것을 제외하면 도 4에 도시된 디지털 반전 장치(2000)와 사실상 동일한 구조를 갖는다. 따라서, 중복되는 설명을 피하기 위해 동일한 구성에 대해서는 동일한 참조 번호를 부가하였고, 동일한 기능을 수행하는 블록에 대한 설명은 이하 생략하기로 한다.

<51> 도 4 및 도 5를 참조하면, FFT 길이가 4의 승수만큼 증가될때 카운터 모듈(100)과 제 2 클럭 선택기(310)를 1개씩 추가하기만 하면, 해당되는 FFT 길이의 래디스-4 FFT를 위한 디지털 반전 동작을 수행할 수 있음을 알 수 있다. 도 5에서, 선택신호(SELO, SEL1, SEL2)가 각각 0, 1, 0의 값을 가지는 경우 디지털 반전 장치(3000)는 길이 4의 래디스-4 FFT를 위한 디지털 반전 장치로서 사용되고, 선택신호(SELO, SEL1, SEL2)가 각각 1, 0, 0의 값을 가지는 경우 디지털 반전 장치(3000)는 길이 16의 래디스-4 FFT를 위한 디지털 반전 장치로서 사용된다. 그리고, 선택신호(SELO, SEL1, SEL2)가 각각 1, 1, 1의 값을 가지는 경우 디지털 반전 장치(3000)는 길이 64의 래디스-4 FFT를 위한 디지털 반전 장치로서 사용된다. 만일 도 5의 구성에 카운터 모듈(100)과 제 2 클럭 선택기(310)를 1개씩 더 추가한다면, 본 발명의 디지털 반전 장치는 길이 256의 래디스-4 FFT를 위한 디지털 반전 장치로서 사용될 수 있을 것이다.

<52> [표 5]는 FFT의 가변길이가 N일 때(N은 양의 정수), 가변 길이의 변화에 따라 필요로 하는 2-입력 클럭 선택기(즉, 제 2 클럭 선택기(310))의 개수가 표시되어 있다.

**표 5**

Range of the FFT lengths	Number of multiplexers
	2-input
4 ~ 16	1
4 ~ 64	2
4 ~ 256	3
4 ~ 1024	4
4 ~ 4096	5

<53>

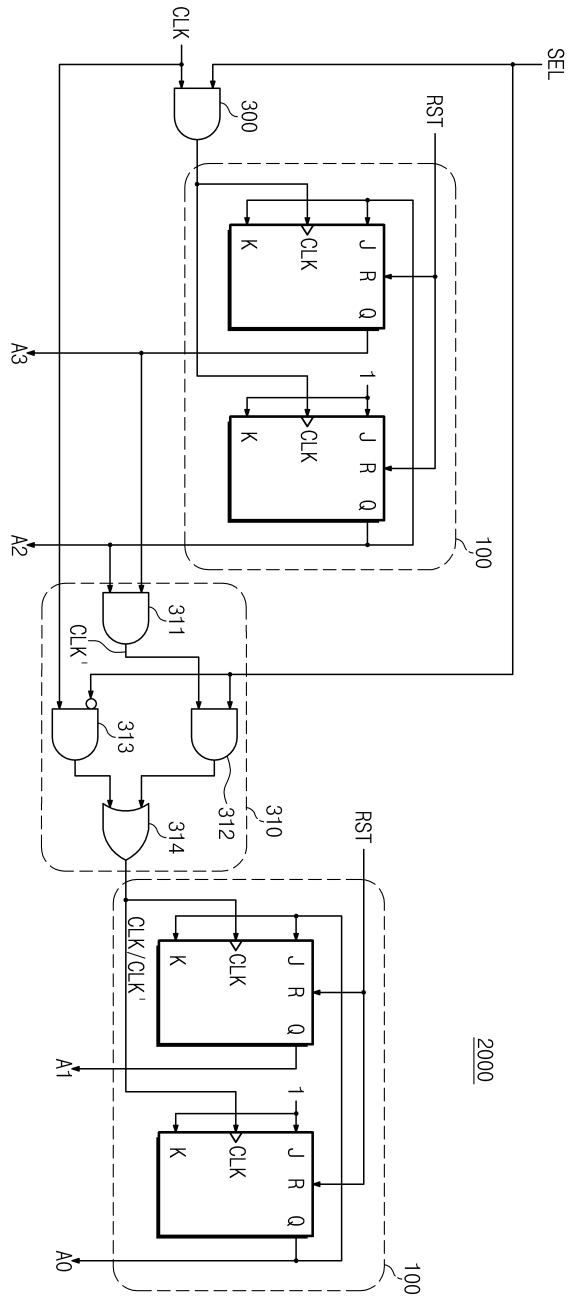
<54> [표 5]를 참조하면, 본 발명에 따른 디지털 반전 장치는 FFT의 가변길이가 N일 때(N은 양의 정수), 제 1 클럭 선택기(300) 및 제 2 클럭 선택기(310)를 합하여 단지  $\log_2 N$ 개의 2-입력 클럭 선택기를 이용하여 고정 길이 및 가변길이 래디스-4 FFT 연산을 모두 수행할 수 있는 구성을 갖는다. 따라서, 디지털 반전속도 및 하드웨어의 면적이 최소화된다. 이 외에도, 본 발명의 디지털 반전 장치는 모듈기반 구조를 가지기 때문에, 디지털 반전장치의 구현 및 확장이 용이해 진다.

<55> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.





도면4



도면5

